

⑫ 公開特許公報(A)

昭62-183555

⑬ Int. Cl.⁴H 01 L 27/08
29/78

識別記号

1 0 2

庁内整理番号

7735-5F
8422-5F

⑭ 公開 昭和62年(1987)8月11日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-26282

⑰ 出 願 昭61(1986)2月7日

⑱ 発 明 者 岩 田 滋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 複数のMOSトランジスタを含む半導体装置において、前記トランジスタのうちの少なくとも一つのトランジスタのゲートのゲート長が、そのゲートの幅方向に沿って異なっていることを特徴とする半導体装置。
- (2) 上記ゲートのゲート長の変化が連続的であることを特徴とする特許請求の範囲第1項に記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、特に複数のMOSトランジスタが一枚の半導体基板上に形成された半導体装置に関する。

〔従来の技術〕

第2図は従来のMOS・LSIに用いられるMOSトランジスタの平面図である。図において、一つの長方形のセル領域1の上の長さ方向に、2本の帯状のゲート電極導体層(以下単にゲート電極という)6, 6が平行に通り、それぞれの配線取出し電極(以下配線電極という)6aと6aはセル領域1の外側に設けられている。また、ゲート電極6, 6の直下のチャンネルにより分けられている、セル領域短辺方向両側に位置するドレイン拡散層5と5の配線電極5aと5aは、長さ方向の一方の端部近くに設けられ、中央に位置するソース拡散層4の配線電極4aは、ドレイン配線電極5aの反対側の端部近くに設けられている。

第3図は、第2図の従来例の変形で、第2図における直線状のゲート電極の代わりに、セル領域1の両短辺の外側中央近くに、相対してゲート配線電極7aと7aを設け、この配線電極7a, 7aに導電接続したゲート電極7と7は、途中でそれぞれ反対側に折れ曲り、さらにセル領域1の両長

辺内側に沿って延長されて、セル領域1の中央部に丁度広場状のソース拡散層4を残すようにして、この上にソース拡散層配線電極4aを設け、ゲート電極7と7の肩部のドレイン拡散層5、5の上にドレイン配線電極5aと5aを設けることにより、ソース・ドレイン拡散層の面積を小さくし、従って、セル寸法を減小させている。

〔発明が解決しようとする問題点〕

上述した従来のMOSトランジスタにおいて、微細化しようとする、熱処理の減少などにより、ソース、ドレインの拡散層抵抗は増加しがちである。したがって、第2図の場合、ソース、ドレイン拡散層上に電極をとる数が少ないので、ソース、ドレイン拡散層に寄生的に直列抵抗が付随している。この抵抗値は微細化するにつれて回路に占める割合が増えてゆく。例えば、拡散層抵抗が50Ω/□の場合、第2図で実効100Ω程度ある。また、第3図の場合、さらに増加して、実効300Ω程度ある。これらの寄生抵抗は、MOSトランジスタのドライブ能力を低下させ、LSIの高速

- 3 -

電極4aが、また、ゲート電極2、2の肩の部分のドレイン拡散層5、5の上に、それぞれドレイン配線電極5a、5aが設けられている。さらに、ゲート電極2、2の帯状の幅（これはゲート電極直下のチャンネル長（またはゲート長）とほぼ等しい）は、先に延びてゆくにつれて、段階的に小さくなっている。従って、ゲート長が小さいほど電流駆動力が高まるので、拡散層抵抗分が大きいても、全体としての駆動能力は減小しない。すなわち、拡散層抵抗とトランジスタのオン抵抗の合計が一定の値以上になるようにゲート長を調整するわけである。

なお、上例は、ゲート長にほぼ等しい幅をもつ帯状ゲート電極の幅を、配線電極から先の方に延びるにつれて段階的に小さくしているが、（ゲート長も当然段階的に小さくなっている）これを連続的に小さくしても同様の効果が得られる。

〔発明の効果〕

ところで、一般的にゲート長の設計時において、その長さは信頼性などにもとづく最小寸法に決め

化のさまたげとなる。

〔問題点を解決するための手段〕

本発明に係るMOS構造トランジスタは、ゲート配線電極と反対側にあるゲート部分のゲート長を小さくし、ソース、ドレインの拡散層抵抗とオン抵抗の合計が、ゲートのどの部分でも一定以上にし、単位ゲート長あたりの電界強度をゲートのどの部分でも一定以下にしている。

〔実施例〕

つきに本発明を実施例により説明する。

第1図は本発明の一実施例に係る一つのMOSトランジスタセルの平面図である。図において、一つの長方形のセル領域1の相対する毎辺の中央部外側に、それぞれゲート配線電極2a、2aが設けられ、配線電極2a、2aにそれぞれ導電接続している帯状のゲート電極2、2が、セル領域1内で互いに反対側の長辺の方向に折れ曲り、さらに長辺の内側に沿って反対の短辺の外へ延びている。そして、二つのゲート電極2a、2aにはさまれたソース拡散層4の中央部にはソース配線

- 4 -

られる。したがってゲート長をその長さ以下にすることには問題がある。例えば、ホットエレクトロン効果や短チャンネル効果によるしきい値電圧の低下である。本発明は、このような問題が生じない。つまり、以上の問題はゲート長を短くしても電源電圧を下げないために起こるのであるが本発明では、拡散層抵抗分があるので、見かけ上電圧が低下したのと同じ効果がある。したがって、単位ゲート長あたりの電界強度はゲートのどの部分も一定以下にすることが可能であり、信頼性を低下させない。

本発明により第1図のようなパターンにすることにより、従来の第2図のパターンと同程度の駆動能力を持つトランジスタのセルを面積比で約60%で実現できる。また、ドレイン部分の面積を小さくすることによりドレイン拡散容量を小さくできる。また、ゲート面積も小さくなるのでゲート容量も小さくできる。

以上説明したように本発明は、ゲート上配線電極と反対側にあるゲート部分のゲート長を、配線

- 6 -

- 5 -

電極近傍の部分より小さくすることにより、ソース、ドレインの拡散層抵抗の影響を小さくし、トランジスタの駆動能力の低下を防ぎ、セルの面積を小さくし、ドレインの拡散容量を減少できるので、MOS LSI の高速化、高集積化が可能になるという効果がある。また、パターンの変更だけで済むので、マスクを変えるだけで、製造上の工程の追加もない。

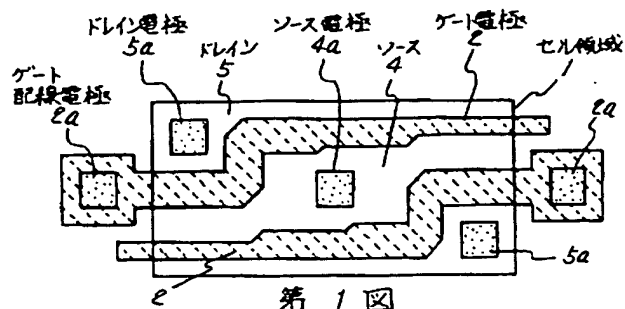
4. 図面の簡単な説明

第1図は本発明の一実施例に係る一つのMOSトランジスタ部分の平面図、第2図は従来のMOSトランジスタ部分の平面図、第3図は他の従来のMOSトランジスタ部分の平面図である。

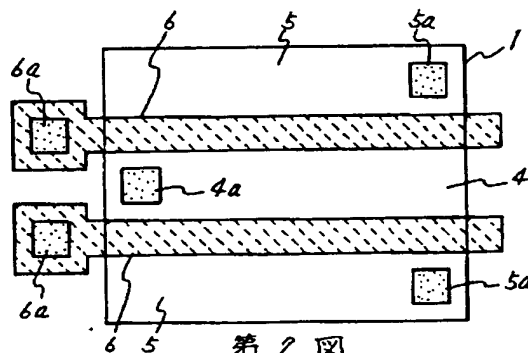
1……セル領域、2, 6, 7……ゲート電極、
2a, 6a, 7a……ゲート配線電極、4……ソース拡散層、4a……ソース配線電極、5……ドレイン、5a……ドレイン配線電極。

代理人 弁理士 内 原 晋

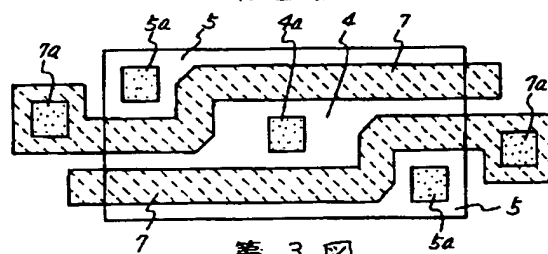
- 7 -



第1図



第2図



第3図